

明 細 書

データ変換システム

5

(技術分野)

本発明は、情報処理装置から出力されるデータを異なるフォーマットのデータにリアルタイムで変換するためのデータ変換システムに関し、特に、IEEE1394

10 バス上の第1ノードと第2ノードとのうちいずれか一方がサイクルマスタとなり、サイクルマスタが出力するサイクルスタートパケットに同期して、第1ノードから第2ノードへの第1データの転送を行うとともに、第2ノードにおいて第1データから変換された第2データを外部から入力されるリファレンス信号に同期して出力するデータ変換システムに関する。

15

(背景技術)

パーソナルコンピュータ（PC）のデータ記録容量および処理速度の著しい向上によりビデオ編集をPC上で行う、いわゆるノンリニア編集が普及してきている。ビデオ素材をPCに取り込んだり、編集した後のビデオ画像を出力する際には、ビ

20 デオキャプチャボードやビデオ編集ボードなどの専用のハードウェアをPCの拡張スロットに追加挿入し、このハードウェアを介してデータの入出力を行っている。

現在でも、アナログビデオやハイエンド業務用の信号を扱うためには、専用のハードウェアが必要となるが、民生機器やローエンド業務用で広く用いられているDV（Digital Video）というフォーマットのデータを扱うだけであれば、汎用の安価な1394OHCI準拠のIEEE1394インターフェイス規格のハードウェアであ

25 っても実用に耐えるようになってきている。

これは、PCのCPU能力が向上したことにより、専用のハードウェアを用いることなくビデオ編集などの処理を実用的に実行できるようになったことに加えて、

代表的なビデオ編集ソフトウェアがDVフォーマットでデータの入出力を行うインターフェイスとして、1394OHCI準拠のIEEE1394インターフェイスをサポートするようになったことが要因となっている。

5 1394OHCI準拠のIEEE1394インターフェイスは、デスクトップ型PCだけではなく、ノートブック型PCにも標準搭載される場合も多く、DVフォーマットでのビデオ入出力から編集までをノート型PC 1 台で行うことも可能となっている。

10 DVフォーマットのビデオ素材のみを扱う場合には、前述したようなシステムで完結することができるものの、アナログビデオ画像や業務用のSDIフォーマットの素材を扱う必要があるケースも少なくなく、そのような場合には、フォーマットの相互変換を行う必要がある。DVフォーマットのビデオ素材と、アナログビデオ画像やSDIフォーマットのビデオ素材との間でデータの相互変換をするためには、入力されたアナログビデオ信号またはSDIビデオ信号をリアルタイムでDVフォーマットに変換しながらDV信号として出力したり、その逆にDVフォーマットのビデオ信号をアナログビデオ信号やSDIビデオ信号に変換しながら出力する外
15 付けユニット型のDVコンバータが併用される場合が多い。

民生用から業務用にいたるまでさまざまなDVコンバータが存在しているが、業務用途では外部同期（ゲンロック）と呼ばれる機能が必要とされる場合がある。この外部同期機能を持たないDVコンバータでは、PCから1394OHCI準拠のIEEE1394インターフェイスを介して出力されるDV信号からアナログビデオ信号またはSDIビデオ信号に変換する際、PCから出力されるDV信号のフレーム周波数の
20 タイミングで、変換結果のアナログビデオ信号またはSDIビデオ信号を出力する。

外部同期機能を有するDVコンバータの場合、リファレンス入力端子を介して出力タイミングの基準となるレファレンス信号が入力される。PCの1394OHCI準拠
25 のIEEE1394インターフェイスから出力されたDVビデオ信号をアナログビデオ信号やSDIビデオ信号に変換する場合には、変換結果の信号をバッファリングしながらリファレンス信号に同期させて出力する。

IEEE1394バス上に接続されたノード間のデータ転送には、Asynchronous転送（非同期転送）モードとIsochronous転送（アイソクロナス転送）モードがあり、

映像・音声の転送にはアイソクロナス転送モードが用いられる。PCの1394OHCI準拠のIEEE1394インターフェイスを介してDVビデオ信号を出力する場合もこのアイソクロナス転送モードを用いる。

5 PCとDVコンバータとがIEEE1394バス上のノードとして存在し、PCの1394OHCI準拠のIEEE1394インターフェイスを介してDVコンバータにDVビデオ信号を出力する場合、PCまたはDVコンバータのいずれか一方が転送サイクルを管理するサイクルマスタと呼ばれるノードとなり、一定周期（125 μ sec）でサイクルスタート packets をIEEE1394バス上に出力する。

10 PCの1394OHCI準拠のIEEE1394インターフェイスは、サイクルマスタが出力するサイクルスタート packets を検出する度に、IEEE1394で定義されているアイソクロナス転送用の packets の形式でDVフォーマットのビデオ信号を送信する。

15 このように、PCの1394OHCI準拠のIEEE1394インターフェイスから出力されるDVビデオ信号のフレーム周波数は、サイクルマスタの出力するサイクルスタート packets の周波数と同期することとなる。サイクルマスタの出力するサイクルスタート packets の125 μ secという間隔は、サイクルマスタとなったノードのクロックソース24.576MHzから一定比で分周されて生成されるが、各ハードウェアに備わる個々のクロックソースのばらつきから、周波数のゆらぎが生じることとなる。したがって、PCの1394OHCI準拠のIEEE1394インターフェイスから出力
20 されるDVビデオ信号のフレーム周波数が使用する機器により異なることから、外部からDVコンバータに入力されるリファレンス信号のフレーム周波数と平均的に一致しないこととなり、DVコンバータ側でバッファリングを行っても、PC側からの転送速度が速い場合には出力されるアナログビデオ信号またはSDIビデオ信号にフレーム落ちが生じ、PC側からの転送速度が遅い場合には出力されるアナ
25 ログビデオ信号またはSDIビデオ信号にフレームの繰り返しが発生するという問題がある。

このようなフレーム落ちやフレームの繰り返しが発生するタイミングは予測することが困難であり、PC側に搭載されたビデオ編集ソフトウェアによりフレーム単位で正確に編集が行われたにも拘らず、最終的に出力される画像にはフレーム

落ちやフレームの繰り返しなどの欠陥が不定期的に発生するおそれがある。

本発明は、情報処理装置から出力されるデータを異なるフォーマットのデータにリアルタイムで変換する際に、データの転送と変換されたデータの出力を同期させることにより、動画データにおけるフレーム落ちやフレーム繰り返しなどの
5 画像の欠陥が生じることを防止するデータ変換システムを提供する。

(発明の開示)

本発明の請求項 1 に係るデータ変換システムは、IEEE1394バス上の第 1 ノードと第 2 ノードとのうちいずれか一方がサイクルマスタとなり、サイクルマスタ
10 が出力するサイクルスタートパケットに同期して、第 1 ノードから第 2 ノードへの第 1 データの転送を行うとともに、第 2 ノードにおいて第 1 データから変換された第 2 データを外部から入力されるリファレンス信号に同期して出力するデータ変換システムであって、第 1 ノードおよび第 2 ノードの少なくとも一方に設けられ、外部から入力されるリファレンス信号を受信する外部同期信号受信部と、
15 サイクルマスタが出力するサイクルスタートパケットの周波数を外部同期信号受信部で受信したリファレンス信号に同期させる同期調整部とを備える。

この場合、サイクルスタートパケットの周波数がリファレンス信号と同期することにより、第 1 ノードから出力されるデータの転送レートと、第 2 ノードから出力される第 2 データの出力レートとを一致させることができ、出力される第 2
20 データ中にデータの欠落や繰り返しが発生することを防止できる。特に、DVフォーマットなどのビデオ信号を異なるフォーマットのビデオ信号に変換する際には、フレーム落ちやフレームの繰り返しなどの画像欠陥の発生を防止することが可能となる。

本発明の請求項 2 に係るデータ変換システムは請求項 1 に記載のデータ変換システムであって、第 1 ノードは第 1 データとしてDVフォーマットのビデオ信号を出力する1394OHCI準拠のIEEE1394インターフェイスを備えるハードウェアであり、第 2 ノードは第 2 データとしてアナログビデオ信号またはSDIビデオ信号を出力するデータ変換ハードウェアである。
25

この場合、DVフォーマットのビデオ信号の出力をリファレンス信号に同期した

周波数で出力することにより、アナログビデオ信号またはSDIビデオ信号にフレーム落ちやフレームの繰り返しなどの画像欠陥が発生することを防止できる。

本発明の請求項3に係るデータ変換システムは請求項1または2に記載のデータ変換システムであって、第2ノードは、外部同期信号受信部および同期調整部
5 を備え、データ転送時におけるサイクルマスタとなることを特徴とする。

この場合、第1ノード側から出力されるデータの転送レートを、第2ノードにおいて受信したリファレンス信号に同期させることができる。

本発明の請求項4に係るデータ変換システムは請求項1または2に記載のデータ変換システムであって、第1ノードは同期調整部を備え、第2ノードは外部同期信号受信部および同期調整部を備え、サイクルマスタとなったノードの同期調整部がサイクルスタートパケットの周波数を外部同期信号受信部で受信したリファレンス信号に同期させて出力する。
10

この場合、第1ノードおよび第2ノードのいずれがサイクルマスタとなった場合であっても、外部同期信号受信部で受信したリファレンス信号に同期したデータ転送を行うことが可能であり、第2ノードから出力されるデータ中に欠陥が発生することを防止できる。
15

本発明の請求項5に係るデータ変換システムは請求項4に記載のデータ変換システムであって、第1ノードがサイクルマスタとなった場合に、第2ノードの外部同期信号受信部で受信したリファレンス信号に基づいて生成される同期調整用信号をIEEE1394インターフェイスのアシンクロナス転送により第2ノードから第1ノードに送信する。
20

この場合、外部同期信号受信部で受信したリファレンス信号に基づいて生成される同期調整用信号をIEEE1394バスを用いて送信しているので、第1ノードがサイクルマスタとなった場合であっても、特に配線を増加することなく同期調整用信号を送信することが可能となる。
25

本発明の請求項6に係るデータ変換システムは請求項4に記載のデータ変換システムであって、第1ノードがサイクルマスタとなった場合に、第2ノードの外部同期信号受信部で受信したリファレンス信号に基づいて生成される同期調整用信号を第2ノードから第1ノードに送信するための専用同期信号線を備えている

。

この場合、第2ノード側に外部同期用のリファレンス信号が入力され、第1ノードがサイクルマスタとなる場合であっても、第1ノードからのデータの転送レートを、リファレンス信号に確実に同期させることが可能となる。

- 5 本発明の請求項7に係るデータ変換システムは請求項1または2に記載のデータ変換システムであって、第1ノードは、外部同期信号受信部および同期調整部を備え、データ転送時におけるサイクルマスタとなることを特徴とする。

10 この場合、第1ノードから出力されるデータのフレーム周波数がすでに完全に外部同期しているため、第2ノードでは単純に変換処理を行うだけでよく、第2ノードが外部同期機能を持たないDVコンバータであってもシステム全体としてフレーム落ちやフレーム繰り返しのない外部同期を実現することが可能となる。

(図面の簡単な説明)

- 15 図1は、第1実施例の簡略ブロック図である。
図2は、第2実施例の簡略ブロック図である。
図3は、第3実施例の簡略ブロック図である。

(発明を実施するための最良の形態)

- 20 本発明では、IEEE1394バス上のノードとして、1394OHCI準拠のIEEE1394インターフェイスを備えたハードウェア(PC)と、PCから出力されるDVビデオ信号をアナログビデオ信号またはSDIビデオ信号に変換して出力する変換ハードウェア(以下、DVコンバータと称す)とが接続されている場合を考察する。PCの1394OHCI準拠のIEEE1394インターフェイスから出力されるDVフォーマットのビデオ信号は、アイソクロナス転送モードで第2ノードであるDVコンバータに転送される。
- 25

アイソクロナス転送モードは、IEEE1394バス上のサイクルマスタと呼ばれるノードによって管理され、サイクルマスタが125 μ sec毎に出力するサイクルスタートパケットに基づいて、PCの1394OHCI準拠のIEEE1394インターフェイスか

らDVフォーマットのビデオ信号が出力される。

このサイクルスタートパケットの間隔は、サイクルマスタのクロックソース24.576MHzから一定比で分周されており、外部同期回路に入力されるリファレンス信号とのずれが生じることから、DVコンバータで変換されたアナログビデオ信号やSDIビデオ信号を出力する際にバッファリングを行ったとしてもフレーム落ちやフレームの繰り返しなどの欠陥が生じることとなる。このため、本発明では、サイクルマスタのクロックソースの周波数をリファレンス信号によりフィードバック制御して、サイクルマスタが出力するサイクルスタートパケットの間隔を125 μ secより長くしたり短くしたりして、その結果としてIEEE1394の転送レートを動的に変化させ、それにより、1394OHCI準拠のIEEE1394インターフェイスから出力されるDVフォーマットのビデオ信号のフレーム周波数の平均を外部同期用のリファレンス信号の周波数に一致させるようにしている。

以下に、具体的な実施例に基づいて詳細に説明する。

〈実施例1〉

15 本発明の第1実施例について図1に基づいて説明する。

図1では、1394OHCI準拠のIEEE1394ハードウェアであるPC10と、DVフォーマットのビデオ信号をアナログビデオ信号またはSDIビデオ信号に変換するDVコンバータ20とがIEEE1394ケーブル30により接続されている。

20 PC10には、DVフォーマットの動画データデータを格納するハードディスクなどの記録媒体を含むDVデータ処理部11、IEEE1394で定義されているパケットの形式でデータを入出力するIEEE1394回路12、水晶発振子などで構成されるクロックソース13とを備えている。なお、PC10内には、CPU、ROM、RAM、その他のインターフェイス類が内蔵されており、図面ではこれらの機能部は省略している。また、PC10では、少なくともDVフォーマットのデータを編集するためのビデオ編集ソフトウェアが実行可能な環境となっており、DVデータ処理部11およびIEEE1394回路12を介して出力することが可能となっている。

25 DVコンバータ20には、IEEE1394ケーブル30を介して転送されてくるDVフォーマットのビデオ信号を受信するためのIEEE1394回路21、転送されてくるDVフォーマットのビデオ信号をアナログビデオ信号またはSDIビデオ信号に変換する

データ変換回路23、変換されたビデオ信号を一旦バッファリングするフレームバッファ24、外部からのリファレンス信号を受信する外部同期回路25、外部同期回路25による電圧のフィードバック制御を受けるクロック発振回路VCXO（Voltage Controlled Crystal Oscillator）22を備えている。このDVコンバータ20についても、CPU、ROM、RAM、各種インターフェイスなどを内蔵しており、図面ではこれらの機能部を省略している。

このようにした第1実施例では、DVコンバータ20側のIEEE1394ノードがサイクルマスタになる。サイクルマスタとなったDVコンバータ20のIEEE1394回路21は、125 μ sec毎にサイクルスタートパケットをIEEE1394バス上に出力するが、このサイクルスタートパケットの間隔を決定するクロック発振回路が外部同期回路25によって制御されている。

外部同期回路25は、入力されるリファレンス信号と、出力されるアナログビデオ信号またはSDIビデオ信号のタイミング差を一定に保つように、VCXO22の電圧をフィードバック制御してVCXO22の発振周波数を制御する。このことにより、VCXO22のクロックを一定比で分周して生成されるサイクルスタートパケットの出力間隔が変化し、このサイクルスタートパケットの間隔により決まるPC10の1394OHCI準拠のIEEE1394側からの転送レートも、リファレンス信号と同期させることができる。

このようにして、DVコンバータ20では、PC10の1394OHCI準拠IEEE1394インターフェイスからのDVビデオ信号の転送を受けて、データ変換後のアナログビデオ信号またSDIビデオ信号をフレーム落ちやフレームの繰り返しなどの欠陥のない状態でリファレンス信号に完全に同期して出力することが可能となる。

この第1実施例の場合、PC10側のIEEE1394ハードウェアは標準品のままで構成することができる。

〈実施例2〉

IEEE1394バスに接続されたPCおよびDVコンバータのIEEE1394回路のうちいずれがサイクルマスタになるか特定できない場合がある。DVコンバータ側がサイクルマスタになれなかった場合には、PC側のIEEE1394ノードがサイクルマスタ

となることとなり、PC側のクロック発振周波数をリファレンス信号に同期するように制御する必要がある。このような場合を、本発明の第2実施例として、図2に基づいて説明する。

図2では、1394OHCI準拠のIEEE1394ハードウェアであるPC10と、DVフォーマットのビデオ信号をアナログビデオ信号またはSDIビデオ信号に変換するDVコンバータ20とがIEEE1394ケーブル30により接続されている。

PC10には、DVフォーマットの動画データデータを格納するハードディスクなどの記録媒体を含むDVデータ処理部11、IEEE1394で定義されているパケットの形式でデータを入出力するIEEE1394回路12、電圧のフィードバックにより発振周波数の制御が可能なVCXO14を備えている。前述と同様に、PC10内には、CPU、ROM、RAM、その他のインターフェイス類が内蔵されており、図面ではこれらの機能部は省略している。また、PC10では、少なくともDVフォーマットのデータを編集するためのビデオ編集ソフトウェアが実行可能な環境となっており、DVデータ処理部11およびIEEE1394回路12を介して出力することが可能となっている。

DVコンバータ20には、IEEE1394ケーブル30を介して転送されてくるDVフォーマットのビデオ信号を受信するためのIEEE1394回路21、転送されてくるDVフォーマットのビデオ信号をアナログフォーマットのビデオ信号またはSDIフォーマットのビデオ信号に変換するデータ変換回路23、変換されたビデオ信号を一旦バッファリングするフレームバッファ24、外部からのリファレンス信号を受信する外部同期回路25、外部同期回路25による電圧のフィードバック制御を受けるクロック発振回路VCXO (Voltage Controlled Crystal Oscillator) 22を備えている。このDVコンバータ20についても、CPU、ROM、RAM、各種インターフェイスなどを内蔵しており、図面ではこれらの機能部を省略している。

このようにした第2実施例では、DVコンバータ20側のIEEE1394ノードがサイクルマスタになった場合は、第1実施例と同様にして、入力されるリファレンス信号と、アナログビデオ信号またはSDIビデオ信号のタイミング差を一定に保つように、VCXO22の電圧をフィードバック制御してVCXO22の発振周波数を制御する。このことにより、VCXO22のクロックを一定比で分周して生成されるサイ

クルスタートパケットの出力間隔が変化し、このサイクルスタートパケットの間隔により決まるPC10の1394OHCI準拠のIEEE1394側からの転送レートも、リファレンス信号と同期させることができる。

- また、PC10側のIEEE1394ノードがサイクルマスタになった場合には、DVコンバータ20の外部同期回路25で受信したリファレンス信号をIEEE1394ケーブル30によりPC10側に送信し、リファレンス信号とサイクルスタートパケットとのタイミング差を一定に保つように、PC10側のVCXO14をフィードバック制御する。リファレンス信号をDVコンバータ20からPC10に送信するには、非同期（Asynchronous）転送モードで転送することができ、この場合、PC10側にAV/Cプロトコルにより送信されてくるコマンドを解釈するためのアルゴリズムなどを備える必要がある。このことにより、VCXO14のクロックを一定比で分周して生成されるサイクルスタートパケットの出力間隔が変化し、このサイクルスタートパケットの間隔により決まるPC10の1394OHCI準拠のIEEE1394側からの転送レートも、リファレンス信号と同期させることができる。
- このようにして、第2実施例では、PC10とDVコンバータ20のうちいずれがサイクルマスタとなった場合でも、データ変換後のアナログビデオ信号またSDIビデオ信号をフレーム落ちやフレームの繰り返しなどの欠陥のない状態でリファレンス信号に完全に同期して出力することが可能である。

〈変形例〉

- DVコンバータ20の外部同期回路25に inputs されるリファレンス信号に基づいて生成される同期調整用信号をPC10側に送信するための専用制御信号線31を別途設けることが可能である。この場合、リファレンス信号に基づいて生成される同期調整用信号を専用制御信号線31により確実に送信し、PC10側のVCXO14のフィードバック制御を行うことが可能となる。

〈実施例3〉

PC側に外部同期用のリファレンス信号を入力し、このリファレンス信号に同期するようにPC側からDVコンバータへの転送周波数を制御するように構成することが可能である。このような場合を第3実施例として図3に基づいて説明する。

図3では、1394OHCI準拠のIEEE1394ハードウェアであるPC10と、DVフォーマットのビデオ信号をアナログビデオ信号またはSDIビデオ信号に変換するDVコンバータ20とがIEEE1394ケーブル30により接続されている。

5 PC10には、DVフォーマットの動画データ格納するハードディスクなどの記録媒体を含むDVデータ処理部11、IEEE1394で定義されているパケットの形式でデータを入出力するIEEE1394回路12、電圧のフィードバックにより発振周波数の制御が可能なVCXO14および外部からのリファレンス信号を受信する外部同期回路15を備えている。前述と同様に、PC10内には、CPU、ROM、RAM、その他のインターフェイス類が内蔵されており、図面ではこれらの機能部は省略し
10 ている。また、PC10では、少なくともDVフォーマットのデータを編集するためのビデオ編集ソフトウェアが実行可能な環境となっており、DVデータ処理部11およびIEEE1394回路12を介して出力することが可能となっている。

DVコンバータ20には、IEEE1394ケーブル30を介して転送されてくるDVフォーマットのビデオ信号を受信するためのIEEE1394回路21、転送されてくるDVフ
15 ォーマットのビデオ信号をアナログビデオ信号またはSDIビデオ信号に変換するデータ変換回路23、水晶発振子などで構成されるクロックソース26などを備えている。このDVコンバータ20についても、CPU、ROM、RAM、各種インターフェイスなどを内蔵しており、図面ではこれらの機能部を省略している。

このようにした第3実施例では、PC10の外部同期回路15で受信したリファレンス信号に基づいて、リファレンス信号とサイクルスタートパケットとのタイミング差を一定に保つように、PC10側のVCXO14をフィードバック制御する。この
20 ことにより、VCXO14のクロックを一定比で分周して生成されるサイクルスタートパケットの出力間隔が変化し、このサイクルスタートパケットの間隔により決まるPC10の1394OHCI準拠のIEEE1394側からの転送レートも、リファレンス信号と同期させることができる。なお、この場合、PC10のIEEE1394ノードがサイ
25 クルマスタになる必要がある。

このようにして、第3実施例では、データ変換後のアナログビデオ信号またSDIビデオ信号をフレーム落ちやフレームの繰り返しなどの欠陥のない状態でリファレンス信号に完全に同期して出力することが可能である。

この第3実施例の場合、DVコンバータ20側のハードウェアは汎用品をそのまま用いて構成することが可能となる。

このようにして、本発明によれば、外部同期用のリファレンス信号に同期して
5 出力されるデータと、1394OHCI準拠のIEEE1394インターフェイスを介して出力されるデータのフレーム周波数を同期させることができ、フレーム周波数のずれに基づくフレーム落ちやフレームの繰り返しなどのデータの欠陥を防止することが可能となる。

10 (産業上の利用可能性)

本発明では、DVフォーマットでのビデオ信号をPCから出力し、これをアナログビデオ信号やSDIビデオ信号に変換する際に、IEEE1394による転送レートと出力フレームレートを同期させて、フレーム落ちやフレームの繰り返しなどの画像欠陥の発生を防止できる。変換を行うデータフォーマットは、実施例に説明した
15 ものに限定されるものではなく、アナログビデオ信号、SDIビデオ信号、DVビデオ信号、MPEG1、MPEG2、MPEG4、その他のフォーマットのビデオ信号間の相互変換などに適用することが可能である。また、動画像データに限定されるものではなく、音声データに適用することも可能である。

請 求 の 範 囲

1.

IEEE1394バス上の第1ノードと第2ノードとのうちいずれか一方がサイクル
5 マスタとなり、前記サイクルマスタが出力するサイクルスタートパケットに同期
して、前記第1ノードから第2ノードへの第1データの転送を行うとともに、第
2ノードにおいて第1データから変換された第2データを外部から入力されるリ
ファレンス信号に同期して出力するデータ変換システムであって、

前記第1ノードおよび第2ノードの少なくとも一方に設けられ、外部から入力
10 されるリファレンス信号を受信する外部同期信号受信部と、

前記サイクルマスタが出力するサイクルスタートパケットの周波数を前記外部
同期信号受信部で受信したリファレンス信号に同期させる同期調整部と、
を備えるデータ変換システム。

2.

15 前記第1ノードは第1データとしてDVフォーマットのビデオ信号を出力する1
394OHCI準拠のIEEE1394インターフェイスを備えるハードウェアであり、前記
第2ノードは第2データとしてアナログビデオ信号またはSDIビデオ信号を出力
するデータ変換ハードウェアである、請求項1に記載のデータ変換システム。

3.

20 前記第2ノードは、前記外部同期信号受信部および同期調整部を備え、データ
転送時におけるサイクルマスタとなる、請求項1または2に記載のデータ変換シ
ステム。

4.

25 前記第1ノードは前記同期調整部を備え、前記第2ノードは前記外部同期信号
受信部および同期調整部を備え、サイクルマスタとなったノードの同期調整部が
サイクルスタートパケットの周波数を前記外部同期信号受信部で受信したリファ
レンス信号に同期させて出力する、請求項1または2に記載のデータ変換シス
テム。

5.

前記第1ノードがサイクルマスタとなった場合に、第2ノードの外部同期信号受信部で受信したリファレンス信号をIEEE1394インターフェイスのアシンクロナス転送により第2ノードから第1ノードに送信する、請求項4に記載のデータ変換システム。

5 6.

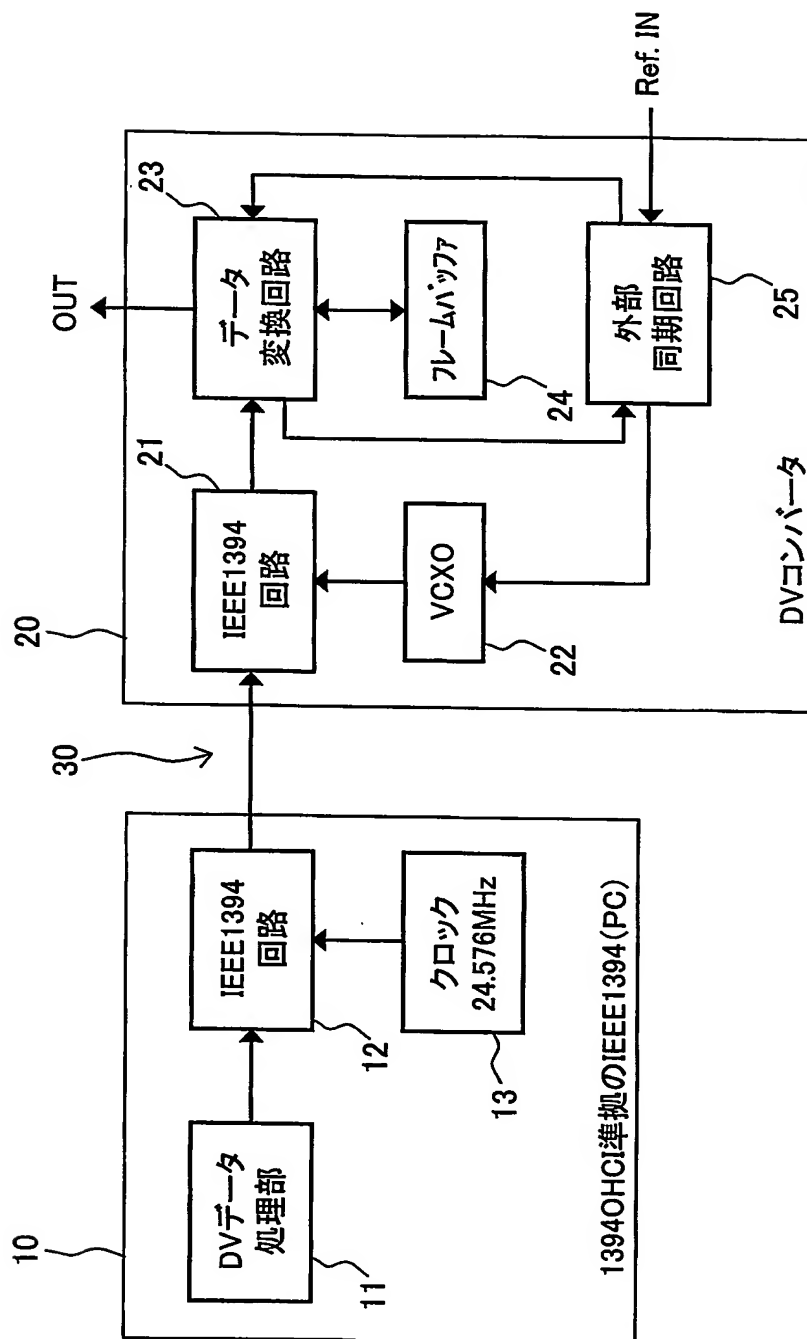
前記第1ノードがサイクルマスタとなった場合に、第2ノードの外部同期信号受信部で受信したリファレンス信号を第2ノードから第1ノードに送信するための専用同期信号線を備える、請求項4に記載のデータ変換システム。

7.

10 前記第1ノードは、前記外部同期信号受信部および同期調整部を備え、データ転送時におけるサイクルマスタとなる、請求項1または2に記載のデータ変換システム。

1/3

Fig. 1



2/3

Fig. 2

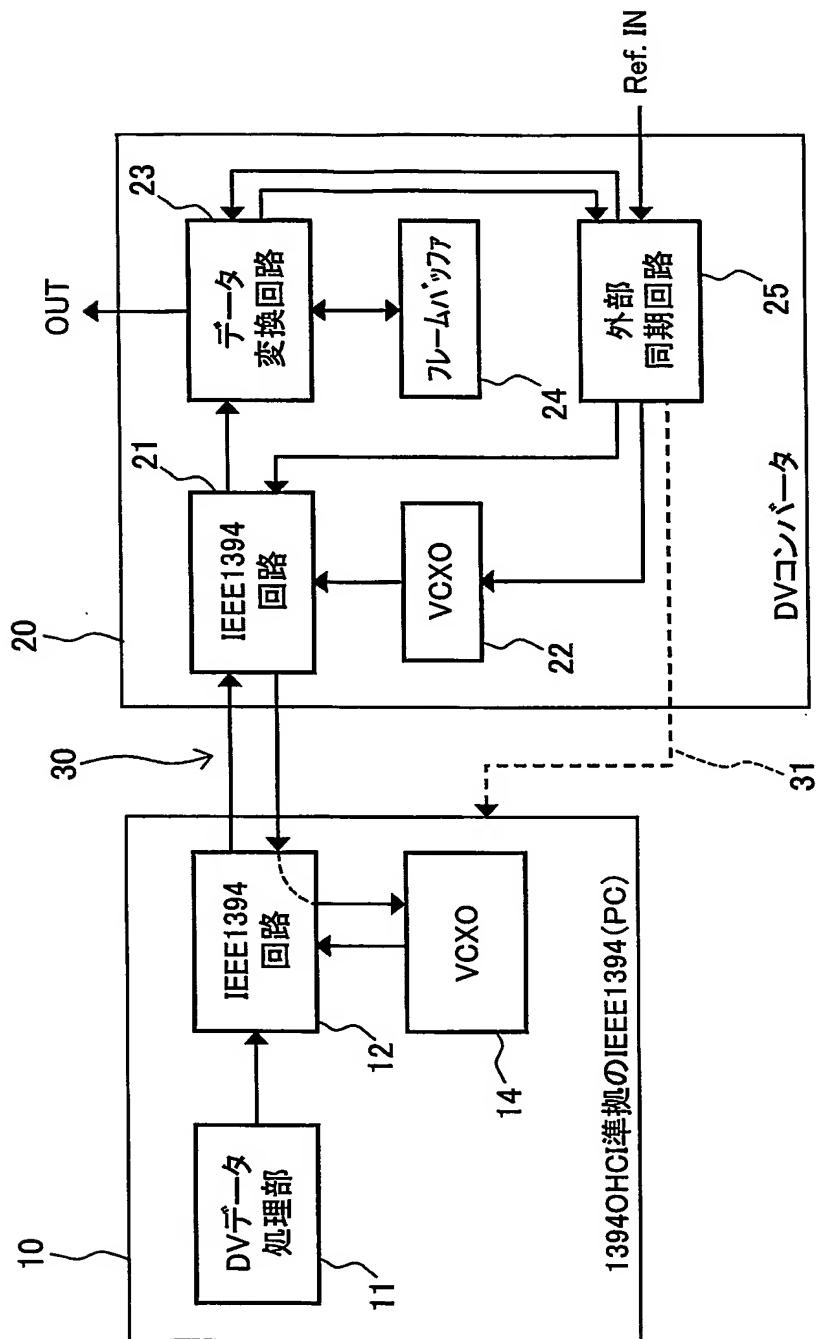
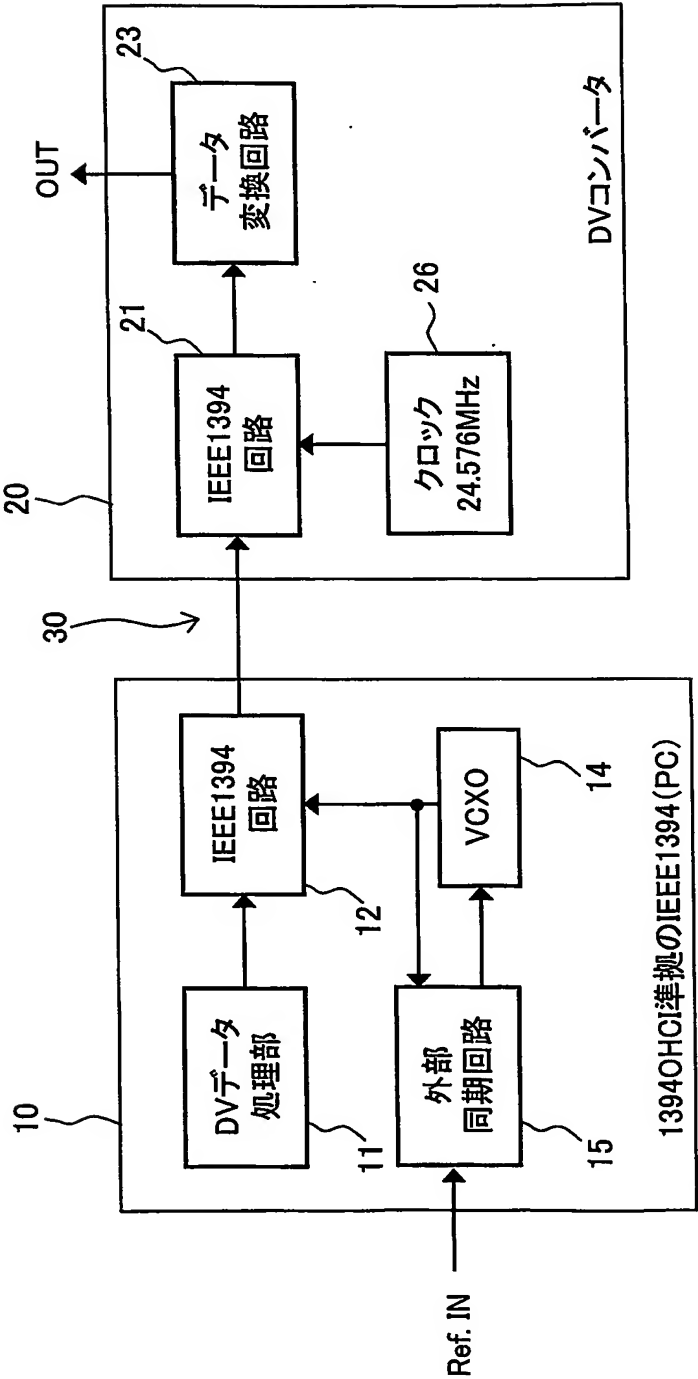


Fig. 3



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JPO3/11949

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H04N5/91

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H04N5/76-5/956

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-271773 A (Matsushita Electric Industrial Co., Ltd.), 20 September, 2002 (20.09.02), Full text; Figs. 1 to 21 (Family: none)	1-7
A	JP 2000-32391 A (Canopus Co., Ltd.), 28 January, 2000 (28.01.00), Full text; Figs. 1 to 4 & EP 954174 A2	1-7
A	JP 2000-278644 A (Canopus Co., Ltd.), 06 October, 2000 (06.10.00), Full text; Figs. 1 to 10 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
10 December, 2003 (10.12.03)

Date of mailing of the international search report
24 December, 2003 (24.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁷ H 04 N 5/91

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁷ H 04 N 5/76-5/956

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-271773 A (松下電器産業株式会社) 2002.09.20 全文, 第1-21図 (ファミリーなし)	1-7
A	JP 2000-32391 A (カノープス株式会社) 2000.01.28 全文, 第1-4図 & EP 954174 A2	1-7
A	JP 2000-278644 A (カノープス株式会社) 2000.10.06 全文, 第1-10図 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10.12.03

国際調査報告の発送日

24.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 明

印

5C

9185

電話番号 03-3581-1101 内線 3541